

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-206774

(43)Date of publication of application : 28.07.1992

(51)Int.Cl. H01L 29/784
H01L 21/265
H01L 27/088

(21)Application number : 02-337123

(71)Applicant : HITACHI LTD

(22)Date of filing : 30.11.1990

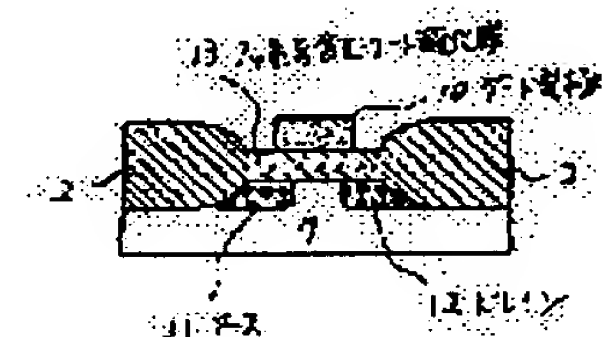
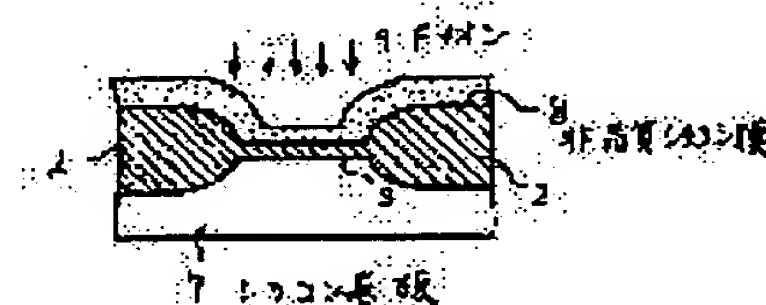
(72)Inventor : YOSHIZAWA MIKA
HIRAIWA ATSUSHI
YOSHIGAMI JIRO

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PURPOSE: To be able to increase a gate oxidation film thickness with excellent efficiency by a method wherein an ion striking of F or Cl is performed so that an ion projection limit may come into the vicinity of the interface between a semiconductor substrate and an insulating film or an insulating film and a conductor, or the middle of the insulating film.

CONSTITUTION: A resist mask having an opening part is formed on only an area making thick a gate oxidation film 3, and next a striking of F ions 9 is performed so that a projection limit of the F ion may come into the interface between an amorphous silicon film 8 and a gate oxidation film 3. After an ion striking mask is removed and the amorphous silicon film 8 is processed to form a gate electrode 10, which is heat-treated in a nitrogen atmosphere to contrive an ion striking damage recovery and an activation of P within the gate electrode 10. At this time, F density within a gate oxidation film 13 is made 7×10^{17} to $2 \times 10^{22} \text{cm}^{-3}$.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-206774✓

⑤ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月28日

H 01 L 29/784
21/265
27/0888422-4M
7738-4M
7735-4M

H 01 L

29/78
21/265
27/083 0 1 G
1 0 2 Z
C

審査請求 未請求 請求項の数 7 (全6頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑮ 特 願 平2-337123

⑯ 出 願 平2(1990)11月30日

⑰ 発 明 者 吉 沢 巳 佳 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 平 岩 篤 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 由 上 二 郎 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

1. 半導体基板と、該半導体基板上に形成された絶縁膜と該絶縁膜上に形成された電極とを有した半導体装置において、該絶縁膜中にフッ素(F)もしくは塩素(Cl)が導入され、該FもしくはClは該絶縁膜の一部分において深さ方向の濃度が上記電極と絶縁膜との界面もしくは上記絶縁膜と半導体基板との界面における値とほぼ同じか、より高いことを特徴とする半導体装置。

2. 上記FもしくはClの絶縁膜中での深さ方向の分布がほぼ一様であることを特徴とする請求項1記載の半導体装置。

3. 上記FもしくはClの濃度が、熱処理後において $7 \times 10^{11} \text{ cm}^{-3} \sim 2 \times 10^{12} \text{ cm}^{-3}$ の範囲であることを特徴とする請求項1記載の半導体装置。

4. 半導体基板上に絶縁膜を形成する工程と、該絶縁膜上に電極を形成する工程とを有し、該絶縁膜中にFもしくはClを導入することにより、該絶縁膜の少なくとも一部分において、二酸化シリコン換算膜厚(実効膜厚)を厚くすることを特徴とする半導体装置の製造方法。

5. 上記FもしくはClの導入を、イオン打ち込み法を用いて行うことを特徴とする請求項4記載の半導体装置の製造方法。

6. 上記FまたはClの導入は、FもしくはClのイオンを投影露光が絶縁膜中、もしくは基板と絶縁膜の界面、もしくは絶縁膜と電極の界面にくるように打ち込むことを特徴とする請求項4～5記載の半導体装置の製造方法。

7. 上記半導体装置のMOSトランジスタにおいて、該MOSトランジスタの製造工程完了後にしきい値電圧(V_{th})の検査を行ない、その値が所望の V_{th} を得るためFあるいはClを上記絶縁膜中に導入することを特徴とする請求項4記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に絶縁性の信頼性向上に好適な、半導体装置の製造方法に関する。

(従来の技術)

MOS型LSIにおいては、MOSトランジスタのゲートに付加される電圧(絶対値)の最大値は、トランジスタ間で異なっていることが多い。このような半導体装置においては、信頼性を維持しながら性能を最適化するために、ゲート酸化膜の厚さの異なるMOSトランジスタを用いて半導体装置を構成することが多い。すなわち、大きな電圧の加わるMOSトランジスタにおいては、ゲート酸化膜を厚くすることが一般的である。このように、同一半導体装置上に膜厚の異なるゲート酸化膜を有するMOSトランジスタを作成するに際しては、従来は以下の方法で行なっていた。

第2図(a)に示すように半導体基板1上に選択的に素子分離酸化膜2を形成した後、ゲート酸

化膜3を形成する。次いで厚いゲート酸化膜を形成しようとする領域にホトリソグラフィにより選択的にレジストマスク4を形成した後(第2図(b))、開口部分のゲート酸化膜をエッチングする(第2図(c))。その後、レジストマスク4を除去し洗浄を行なった後(第2図(d))、熱酸化によりゲート酸化膜5を形成する。この時、第2図(c)においてエッチングされなかったゲート酸化膜3は、ゲート酸化膜5よりも厚いゲート酸化膜6となる。これらゲート酸化膜の厚さは、各々の酸化条件を最適化することにより、所望の厚さに制御している。

なお、本発明に関連する従来技術として、次の文献を挙げることができる。アイイーイーイーートランザクションズ オン エレクトロン デバイシズ 36巻 5号 879頁～889頁、1989年5月(IEEE, TRANSACTIONS ON ELECTRON DEVICES, VOL. 36, NO. 5, p 879 ~ p 889, MAY 1989)

(発明が解決しようとする課題)

以上のように、従来の方法では、酸化膜が露出した状態でホトリソグラフィ工程が必要であり、この工程による有機物や金属の汚染により、ゲート酸化膜が劣化するという問題があった。

本発明の目的は、このようなゲート酸化膜の劣化がなく、且つゲート酸化膜厚の異なるMOSトランジスタやキャパシタを有する半導体装置の製造方法を提供することにある。

(課題を解決するための手段)

上記目的は、半導体基板上に形成したゲート酸化膜上にゲート電極を形成した後、該ゲート酸化膜中にFもしくはClをイオン打込み法を用いて導入することにより達成される。その際、FもしくはClの導入を平面上で選択的に行なうには、これらを導入すべき領域のみに開口部を有するホトリソマスクをイオン打込み前に形成しておけばよい。

(作用)

本発明によれば、FもしくはClを平面上で部分的に導入を行なった部分においてはゲート酸化

膜が厚くなる。そのため、ゲート酸化膜が露出した状態でホトリソグラフィ処理を行なう必要がなくなり、汚染によるゲート酸化膜の劣化を防止することが出来る。

(実施例)

以下に、本発明をより具体的な半導体装置の製造に適用した場合の実施例を第1図および第3図から第6図を用いて説明する。ただし、図にはF打込みを行なって酸化膜を厚くしたい部分のみを示す。

第1図(a)、(b)に示すように通常の製造プロセスを用いて、p型、(100)面方位、100mmのシリコン基板7上に素子分離酸化膜2

を過渡的に形成した後、膜厚 20 nm のゲート酸化膜 3 を形成した。ついで、リン (P) をドーピングしながら、非晶質シリコン膜 8 を形成した。同膜の厚さは 100 nm、P 濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。その後、ゲート酸化膜を厚くしようとする領域のみ開口部を有するレジストマスクを形成し、ついで F イオンの投影露光が、非晶質シリコン膜 8 とゲート酸化膜 3 の界面にくるように、打込みエネルギー 40 keV で F イオン 9 の打込みを行なった。この時、ドーズ量は $1 \times 10^{12} \text{ cm}^{-2} \sim 2 \times 10^{14} \text{ cm}^{-2}$ の範囲で変化させた (第 1 図 (b))。上記イオン打ち込みマスクを除去し、通常のホトエッチング法により非晶質シリコン膜 8 を加工してゲート電極 10 を形成した後、窒素雰囲気中において 900℃、30 分間の熱処理を行なうことにより、イオン打込み損傷回復と、ゲート電極 10 内の P の活性化を図った。その後、ソース 11、ドレイン 12 をイオン打ち込みにより形成し、熱処理により打ち込み損傷の回復を図り MOS トランジスタを完成した。この時に、ゲ

$\mu\text{A}/\text{cm}^2$ のときのゲート電圧 (critical voltage) について調べた結果を、第 3 図 (a) に合わせて示した。同図から明らかのように実効膜厚の増加と共に耐圧も増加しており、本発明が有効であることが分かる。本有効性をより定量的に示すために、上記耐圧を実効膜厚を用いて規格化した電界強度 (critical electric field) を第 3 図 (b) に示す。同図から、電界強度は F 濃度が増加してもほとんど変化せず、F イオン打込み損傷による絶縁性の劣化は上記 900℃、30 分間の熱処理で回復していることが分かった。

なお、実際に物理的に膜厚が増大しているか否かを調べるために、分光エリブソメータによりゲート酸化膜の屈折率 (測定波長 600 nm のとき) と膜厚を求めた。各々の結果を第 4 図 (a)、(b) に示す。F 濃度の増加に伴って、屈折率は減少することが分かった。また、この屈折率減少を考慮した上で膜厚計測を行なうと、 $1 \times 10^{18} \text{ cm}^{-3}$ の打込み量でおよそ 10% の膜厚増加がみられた。

さらに、ここで求めた膜厚を用いて、式 1 によ

りゲート酸化膜 13 内の F 濃度は、SIMS 測定により求めると、 $7 \times 10^{17} \sim 2 \times 10^{18} \text{ cm}^{-3}$ であった。

このようにして作成した MOS トランジスタの容量測定を行ない、その結果から以下の式により酸化膜換算の膜厚 (実効膜厚) d を求めた。

$$d = \epsilon_0 \epsilon_s S / C \quad \dots (1)$$

ここで、 S はゲートの面積、 C はゲートの容量、 ϵ_0 は真空の誘電率 $8.85 \times 10^{-12} \text{ F/m}$ 、 ϵ_s は二酸化シリコン (SiO_2) の比誘電率 (ここでは 3.90 と仮定した) を示す。なお、ここで実効膜厚に着目したのは MOS トランジスタの動作特性が、実際の膜厚ではなく本実効膜厚により決定されるからである。

酸化膜中の F 濃度と実効膜厚の関係を第 3 図 (a) に示す。同図に示すように、酸化膜中の F 濃度の増加とともに実効膜厚も増加することが分かる。この時、同酸化膜に付加することのできる電圧 (耐圧) も増加しなければ実用上のメリットはない。そこで、耐圧として、ゲート電流が 1

り各々の試料の比誘電率を求めた。その結果を第 4 図 (c) に示す。同図から分かるように、 $1 \times 10^{18} \text{ cm}^{-3}$ の F 打込みを行なうと、比誘電率がおよそ 10% 減少する。

従って、F 導入による実際の膜厚増加分に加え誘電率の低下した分も絶縁性向上に寄与しており、実質的には実効膜厚の増加分の耐圧改善効果が得られていることが分かる。

上記したように、F イオン打込みに伴う絶縁性劣化はほとんど問題ないことがわかった。他方、イオン打込み損傷に伴うもう一つの問題として、界面単位密度 (D_{it}) の増加が懸念される。

第 5 図に、C-V 法 (容量-電圧法) から求めた界面単位密度 (D_{it}) を示す。 N_a を打ち込んだ試料は打込み量に伴って D_{it} が増加するが、F は $1 \times 10^{18} \text{ cm}^{-3}$ (酸化膜濃度は、およそ $5 \times 10^{20} \text{ cm}^{-3}$) 打ち込んだ試料においても、ノンドープ試料と比較して、 D_{it} の増加は少なく、F 打ち込みによる界面の劣化も、ほとんど問題にならないことが分かった。

また、F 打ち込み後のゲート酸化膜の V_{th} の変化をみると、実効膜厚を 8 nm から 10 nm に増加させると V_{th} は、0.36 V から 0.41 V に増加することがわかった。

なお、F イオン打ち込みをゲート酸化膜と半導体基板の界面、またはゲート酸化膜中にイオンの投影飛程が来るように行なった場合にもゲート酸化膜中の深さ方向に F イオンがほぼ一様に分布するので、上記実施例と同様の結果が得られた。

また、ゲート酸化膜中の深さ方向の一部分における F 濃度が、ゲート電極とゲート酸化膜との界面もしくはゲート酸化膜と半導体基板との界面における値とほぼ同じか、より高い場合においても、上記実験結果同様ゲート酸化膜を効果的に厚くすることができた。

また、F の代わりに Cl を用いた場合にも、F を用いたときとほぼ同様の結果が得られた。

F を導入すると酸化膜厚が増加するという現象は、過去にも報告がある。例えば、前記従来技術において示した文献でピーターライト等が、ゲ

酸度が、 $7 \times 10^{11} \text{ cm}^{-2}$ 以下であるとほとんど F の効果は現れなく、また、 $2 \times 10^{12} \text{ cm}^{-2}$ 以上であると、F 分子が膜中で気泡となり膜質の信頼性が低下するためである。

また、本実施例では、絶縁膜として熱酸化膜を用いたが、酸化シリコン膜、および窒化シリコン膜を用いた場合にも同様の結果が得られた。

(発明の効果)

本発明によると、F もしくは Cl のイオン打ち込みを半導体基板と絶縁膜、または絶縁膜と導体の界面付近、または絶縁膜中にイオンの投影飛程が来るように行なうので、絶縁膜中に F もしくは Cl がほぼ一様に分布するため、ゲート酸化膜厚が効果的に増加する。

また、本発明により、ホトリソグラフィ工程を介して、二回絶縁膜形成を行なわなくても、絶縁膜形成後に F および Cl のイオン打ち込みを行ない熱処理を施すことによって容易に絶縁膜厚を増加させられるため、絶縁膜の汚染減少および半導体装置の信頼性向上に効果がある。

ト電極中に F を打ち込み、熱処理によりゲート酸化膜中に F を導入すると、酸化膜実効膜厚が増加したように見えるという報告をしている。しかし、同方法により F を酸化膜中に導入すると、 SiO_2/Si 界面に F が集まる傾向が見られるため (第 6 図)、ゲート酸化膜の厚さによらずに膜厚の増加量はほぼ一定になってしまうという問題がある。

これに対して、本発明においては、初期の膜厚にほぼ比例した膜厚増加効果が得られている。これは、本発明ではゲート酸化膜に直接イオン打ち込みを行なうため、F が酸化膜中の SiO_2 の結合を切って Si-F 結合を作り、ゲート酸化膜中にほぼ一様な濃度で F が分布するためである。これは、SIMS 測定によっても確認された (第 6 図)。従って、本発明によれば、厚いゲート酸化膜においても、ドーズ量に応じた膜厚増加が有効に行なうことができる。

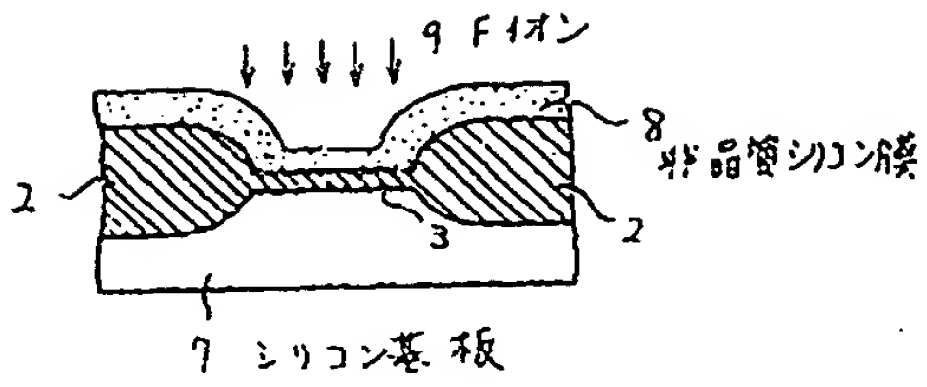
なお、本発明で膜厚増加を効果的に行なうことのできる酸化膜中の F イオンの濃度は、 $7 \times 10^{11} \text{ cm}^{-2} \sim 2 \times 10^{12} \text{ cm}^{-2}$ の範囲である。これは、同

4. 図面の簡単な説明

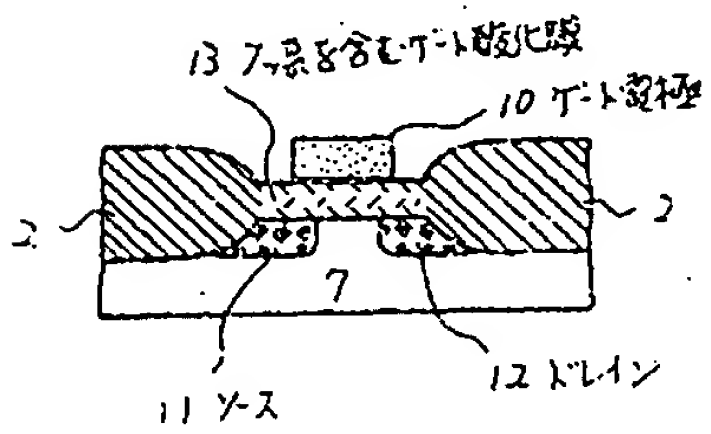
第 1 図 (a)、(b) は本発明の実施例の半導体装置の製造工程を示す断面模式図、第 2 図 (a) ~ (e) は従来法による半導体装置の製造工程を示す図、第 3 図 (a) は、酸化膜中の F 濃度と実効膜厚、耐圧との関係曲線図、第 3 図 (b) は、酸化膜中の F 濃度と電界強度との関係曲線図、第 4 図 (a) は、酸化膜中の F 濃度に対しての屈折率変化を示す図、同図 (b) は分光エリブソメータにより求めた膜厚の変化を示す図、同図 (c) は酸化膜の誘電率の変化を示す図、第 5 図は、F と Ne の打ち込み量の変化に対する D_{it} の比較図、第 6 図は、SIMS 測定によるゲート酸化膜中の F の深さ方向の濃度分布図である。

1…半導体基板、2…電子分離酸化膜、3…ゲート酸化膜、4…レジストマスク、5…薄いゲート酸化膜、6…厚いゲート酸化膜、7…シリコン基板、8…非晶質シリコン膜、9…F イオン打ち込み、10…ゲート電極、11…ソース、12…ドレイン、13…F を含むゲート酸化膜。

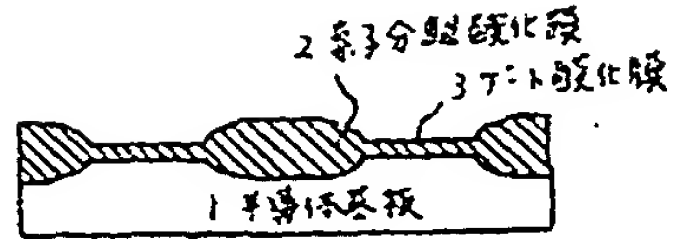
第 1 図
(a)



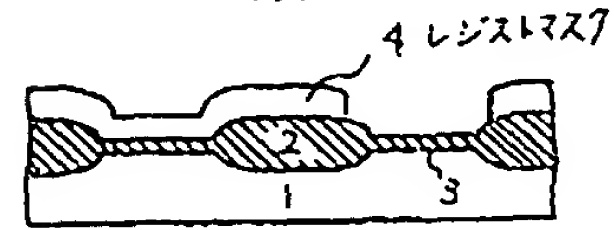
(b)



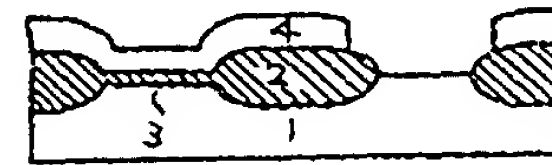
第 2 図
(a)



(b)



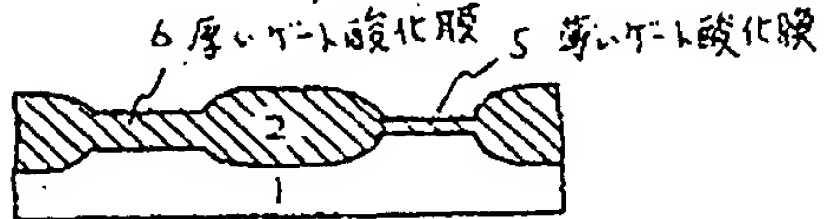
(c)



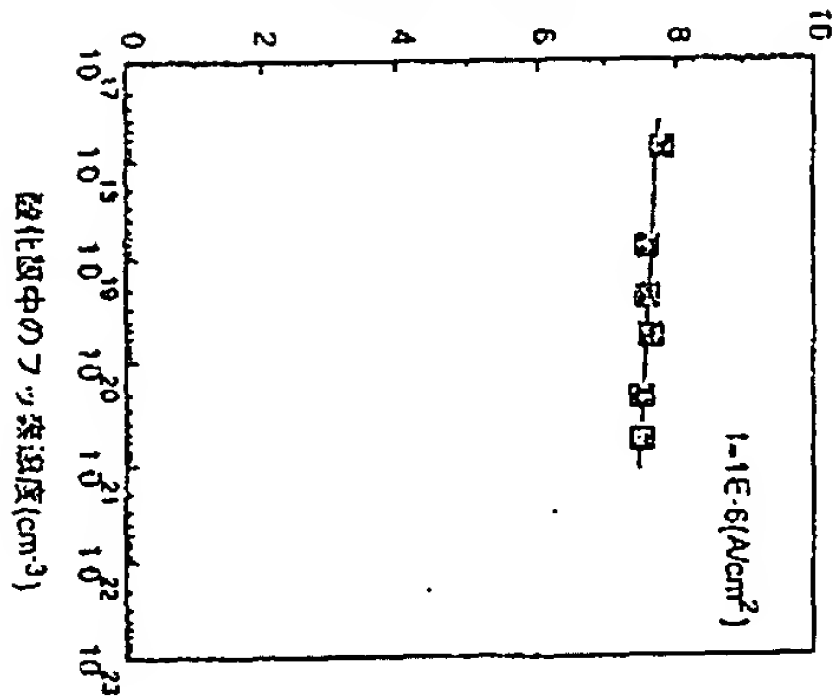
(d)



(e)

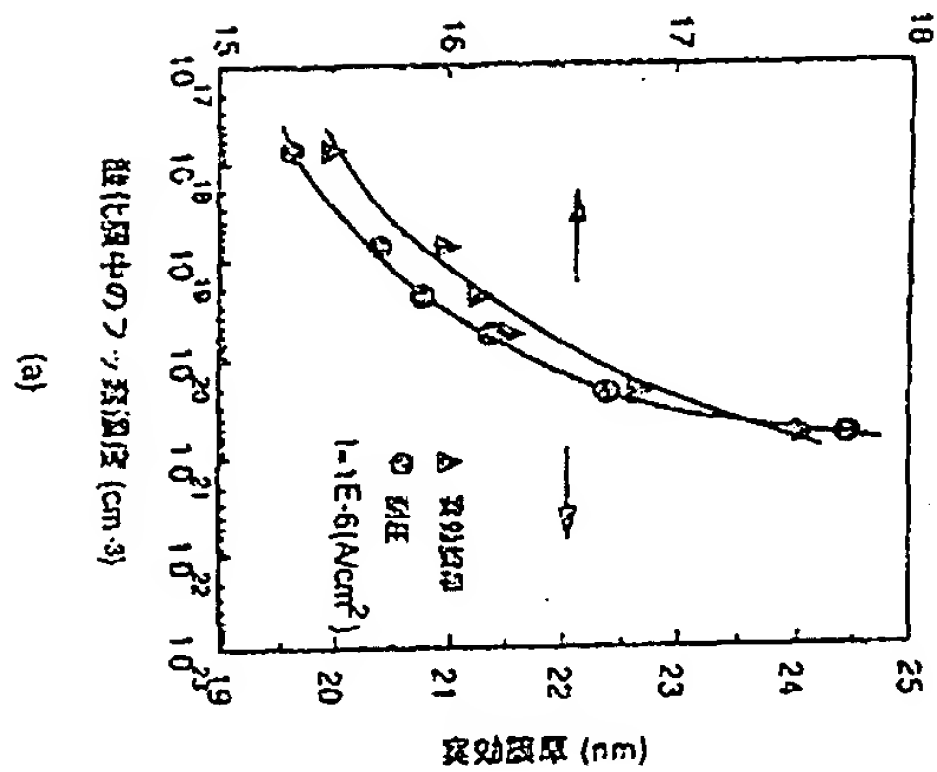


電界強度 (MV/cm)



(b)

耐圧 (V)



(a)

第 3 図

